

明 細 書

信号処理装置、及び信号処理方法

技術分野

- [0001] 本発明は、信号処理装置、及び信号処理方法に関し、特に、光ディスク、磁気ディスク、半導体メモリなどの記録媒体から読み出された情報を、高精度に抽出するものに関するものである。

背景技術

- [0002] 近年、光ディスク記憶装置、磁気記録記憶装置、半導体メモリ記憶装置など、デジタル情報を記録する記憶装置が広く活用され、記録密度が年々高密度化してきている。このような記録媒体に記録された情報を誤ることなく再生するために、現在まで様々な信号処理技術の検討がなされており、例えばPRML (Partial Response Maximum Likelihood) 方式がよく知られている。
- [0003] これらPRML方式では、記録媒体から読み出した信号に対し、まずアナログフィルタにより特定帯域の信号の除去と増幅とを行なっていた。これは、雑音を除去するとともに、高周波信号の読み出しには正確に振幅を得ることができないため特定帯域の信号を増幅する必要があったためである。
- 図5は、従来の信号処理装置を示すブロック図である。
- [0004] 図5に示されるように、従来の信号処理装置は、記録媒体101、可変利得器(VGA: Variable Gain Amplifier) 102、アナログフィルタであるローパスフィルタ(LPF: Low Pass Filter) 103、A/D変換器104、自動利得制御器(AGC: Auto Gain Control) 105、波形等化器(DEQ: Digital Equalizer) 106、ベースライン調整器107、適応型トランスバーサルフィルタ(FIR: Finite Impulse Response) 108、ビタビアルゴリズムを用いて誤り訂正を行なうビタビ復号器109、最小自乗平均処理を行なうLMS (Least Mean Square) 110、チャネルクロックに対応した再生クロックを抽出するためのクロック生成回路であるタイミングリカバリロジック(TRL: Timing Recovery Logic) 111、D/A変換器112、及び電圧制御発振器(VCO: Voltage Controlled Oscillator) 113から構成される。

以下に、動作について説明する。

- [0005] 記録媒体101から読み出された信号は、可変利得器102、自動利得制御器105によってその振幅が所望の大きさになるように調節され、ローパスフィルタ103にて高域雑音除去される。ローパスフィルタ103にて高域雑音を除去された信号は、A/D変換器104でデジタル信号に変換され、波形等化器106で特定帯域が増幅される。A/D変換器104におけるサンプリングのタイミングは、タイミングリカバリロジック111、D/A変換器112、及び電圧制御発振器113で抽出された再生クロックにより規定される。適応型トランスバーサルフィルタ108は、波形等化器106で増幅された信号をPR (Partial Response) 波形等化する。このときLMS110は、最小自乗平均演算を行ない、等化誤差を算出して誤差が小さくなるように適応型トランスバーサルフィルタ108のタップ係数を調節する。このPR波形等化された信号は、ビタビ復号器109にて復号される(例えば特許文献1参照。)

特許文献1: 特開2003-85764号公報

発明の開示

発明が解決しようとする課題

- [0006] 上述のような従来の信号処理装置、及び信号処理方法は、一つの波形等化器で時間軸方向の最適化と振幅方向の最適化とを同時に行なっており、ジッタ値を良好にするために増幅度を上げる処理を行なうと、雑音増幅等によりPR波形等化に悪影響を及ぼす場合があり、ジッタ値が最適値になってもそれに比例してエラー率を低減することができないことがあるという問題があった。
- [0007] 本発明は、上記のような従来の問題点を解決するためになされたものであり、ジッタ成分の低減と、エラー率の低減とを同時に行なうことのできる信号処理装置、及び信号処理方法を提供することを目的とする。

課題を解決するための手段

- [0008] 本発明の請求項1に記載の信号処理装置は、PRML方式で信号を処理する信号処理装置において、アナログ信号をデジタル信号に変換するA/D変換器と、前記A/D変換器に接続され、信号の特定帯域を増幅しクロック抽出系のデータを最適化する第1の波形等化器と、前記A/D変換器に接続され、信号の特定帯域を増幅

するとともに波形等化を行ないデータ処理系のデータを最適化する第2の波形等化器と、前記第1の波形等化器に接続された、再生クロックを抽出するタイミングリカバリロジック回路と、前記第2の波形等化器に接続され、データを復号する復号器とを備えるものである。

[0009] また、本発明の請求項2に記載の信号処理装置は、記録媒体から読み出された信号の振幅が所望の大きさになるように自動調節する可変利得器と、前記可変利得器に接続され、特定帯域の信号を除去するフィルタ回路と、前記フィルタ回路に接続され、アナログ信号をデジタル信号に変換するA/D変換器と、前記A/D変換器に接続され、再生信号の波形等化を行なうとともに特定帯域の信号を増幅する適応型トランスバーサルフィルタと、前記A/D変換器に接続される自動利得制御器と、前記A/D変換器に接続され、波形等化を行なう波形等化器と、前記波形等化器に接続され、ベースライン制御を行なう制御回路と、前記適応型トランスバーサルフィルタに接続され、LMSアルゴリズムを用いて誤差検出及び補正を行なう検出回路と、前記適応型トランスバーサルフィルタに接続され、最尤復号を行なう復号器と、前記制御回路に接続され、再生クロックを抽出するタイミングリカバリロジック回路とを備えるものである。

[0010] また、本発明の請求項3に記載の信号処理装置は、記録媒体から読み出された信号の振幅が所望の大きさになるように自動調節する可変利得器と、前記可変利得器に接続され、アナログ信号をデジタル信号に変換するA/D変換器と、前記A/D変換器に接続され、再生信号の波形等化を行なうとともに特定帯域の信号を増幅する適応型トランスバーサルフィルタと、前記A/D変換器に接続される自動利得制御器と、前記A/D変換器に接続され、波形等化を行なう波形等化器と、前記波形等化器に接続され、ベースライン制御を行なう制御回路と、前記適応型トランスバーサルフィルタに接続され、LMSアルゴリズムを用いて誤差検出及び補正を行なう検出回路と、前記適応型トランスバーサルフィルタに接続され、最尤復号を行なう復号器と、前記制御回路に接続され、再生クロックを抽出するタイミングリカバリロジック回路とを備えるものである。

[0011] また、本発明の請求項4に記載の信号処理装置は、請求項2に記載の信号処理装

置において、前記フィルタが、3次以下の次数で構成されたローパスフィルタであるものとしたものである。

- [0012] また、本発明の請求項5に記載の信号処理装置は、請求項1ないし3のいずれかに記載の信号処理装置において、前記信号処理装置において、前記波形等化器が、構成するフィルタのタップ係数値が可変で、その増幅度を自由に細かく設定可能なものであることを特徴とするものである。
- [0013] また、本発明の請求項6に記載の信号処理装置は、請求項1に記載の信号処理装置において、前記信号処理装置において、前記第1の波形等化器及び第2の波形等化器が、入力信号に対して等化係数に応じたフィルタ処理を行なう適応型トランスバーサルフィルタで構成されることを特徴とするものである。
- [0014] また、本発明の請求項7に記載の信号処理装置は、請求項1ないし3のいずれかに記載の信号処理装置において、前記信号処理装置において、前記A/D変換器の垂直分解能が、7ビット以下であることを特徴とするものである。
- [0015] また、本発明の請求項8に記載の信号処理装置は、請求項1ないし3のいずれかに記載の信号処理装置において、前記信号処理装置において、前記復号器が、ビタビアルゴリズムを用いた復号回路であるものとしたものである。
- [0016] また、本発明の請求項9に記載の信号処理装置は、請求項1ないし3のいずれかに記載の信号処理装置において、前記信号処理装置において、ジッタ値を算出し、前記算出されたジッタ値に基づいて、前記波形等化器の増幅度合いを自動的に調整する調整回路を備えるものである。
- [0017] また、本発明の請求項10に記載の信号処理装置は、請求項2または3のいずれかに記載の信号処理装置において、前記記録媒体が、光ディスクメディアであることを特徴とするものである。
- [0018] また、本発明の請求項11に記載の信号処理装置は、請求項2または3のいずれかに記載の信号処理装置において、前記記録媒体が、磁気ディスクメディアであることを特徴とするものである。
- [0019] また、本発明の請求項12に記載の信号処理装置は、請求項2または3のいずれかに記載の信号処理装置において、前記記録媒体が、半導体メモリであることを特徴と

するものである。

- [0020] また、本発明の請求項13に記載の信号処理方法は、PRML方式を用いる信号処理方法において、時間軸方向のデータ最適化と、振幅方向のデータ最適化とを、それぞれ異なる波形等化器を用いて行なうことを特徴とするものである。

発明の効果

- [0021] 本発明によれば、クロック抽出系統におけるチャネルクロック抽出処理とデータ再生系統における再生信号の抽出処理を別々に行うこととしたので、ジッタ成分とエラー率がそれぞれ相互干渉することなく処理することができ、これにより、ジッタ成分の低減と、エラー率の低減とを同時に行なうことが可能となる。

- [0022] また、デジタルイコライザで増幅される前段階でのデータを波形等化経路の入力データとして扱い、クロック系統の経路と再生データの等化系統の経路を別々に並列フィルタリング処理することとしたので、デジタルイコライザを通すことにより生じる雑音増幅を回避することができる。また従来デジタルイコライザにおいて行われていた特定帯域の増幅をFIR (Finite Impulse Response) とLMS (Least Mean Square) とで行うこととしたので、時間軸方向と振幅方向の両方を最適化することが可能となる。

図面の簡単な説明

- [0023] [図1]図1は本発明の実施の形態1における信号処理装置を示すブロック図である。
[図2]図2は本発明の実施の形態2における信号処理装置を示すブロック図である。
[図3]図3は本発明の実施の形態3における信号処理装置を示すブロック図である。
[図4]図4は本発明の実施の形態4における信号処理装置を示すブロック図である。
[図5]図5は従来の信号処理装置を示すブロック図である。

符号の説明

- [0024] 1, 101 記録媒体
2, 102 可変利得器
3, 103 ローパスフィルタ
4, 104 A/D変換器
5, 105 自動利得制御器
6, 106 波形等化器

- 7, 107 ベースライン調整器
- 8, 108 適応型トランスバーサルフィルタ
- 9, 109 ビタビ復号器
- 10, 110 LMS
- 11, 111 タイミングリカバリロジック
- 12, 112 D/A変換器
- 13, 113 電圧制御発振器
- 14 第1の波形等化器
- 15 第2の波形等化器
- 16 最尤復号器
- 17 調整器

発明を実施するための最良の形態

[0025] 以下、本発明の実施の形態を、図面を参照しながら説明する。

[0026] (実施の形態1)

図1は、本発明の実施の形態1における信号処理装置を示すブロック図である。

[0027] 図1に示すように、本実施の形態1における信号処理装置は、A/D変換器4、第1の波形等化器14と、第2の波形等化器15と、最尤復号を行なう最尤復号器(ML: Maximum Likelihood) 16と、チャネルクロックに対応した再生クロックを抽出するためのクロック生成回路であるタイミングリカバリロジック(TRL: Timing Recovery Logic) 11と、D/A変換器12と、電圧制御発振器(VCO: Voltage Controlled Oscillator) 13とを有している。

[0028] 次に、以上のように構成される信号処理装置における信号処理方法について説明する。

本実施の形態1による信号処理装置は、デジタル情報をPRML (Partial Response Maximum Likelihood) 方式にて再生する。

[0029] A/D変換器4によりデジタル信号に変換された信号は、時間軸方向のデータ最適化を行なうクロック抽出系では、第1の波形等化器14により所望のブースト値を参照して信号が増幅される。この増幅されたデータは、チャネルクロックに対応した再生

クロックを抽出するためのクロック生成回路であるタイミングリカバリロジック11に入力される。クロック抽出を行なうタイミングリカバリロジック11はPLL (Phase Locked Loop) 回路を含んでおり、電圧制御発振器13を用いて再生信号に同期した再生クロック(チャンネルクロック)を生成する。また、もう1つのループであるデータ処理系統、即ち振幅方向のデータ最適化を行なうデータ処理系では、第2の波形等化器15により特定帯域の信号増幅と波形等化とが行なわれ、最尤復号器16にて最尤復号が行なわれる。

[0030] 例えばDVDに記録されているデジタル信号はRLL (2, 10)というある制約をもっている(RLL:Run Length Limited)。これは1と1との間にある0の数が最大で10個連続し、最小では2個連続することを意味している。このような最小個数の場合、信号振幅が小さく読み取りにくい現象が発生するので、第1の波形等化器14及び第2の波形等化器15で信号を増幅および補正して波形等化を行なう。

[0031] このように、本実施の形態1では、時間軸方向のデータ最適化を行なうクロック抽出系と、振幅方向のデータ最適化を行なうデータ処理系とにおいて、それぞれ異なる波形等化器により、特定帯域の信号増幅、あるいは、さらには波形等化を行うこととしたので、ジッタ成分の低減と、エラー率の低減とを同時に行なうことができる。

[0032] (実施の形態2)

図2は、本発明の実施の形態2における信号処理装置を示すブロック図である。

[0033] 図2に示すように、本実施の形態2における信号処理装置は、光ディスクメディアや、磁気ディスクメディア、半導体メモリ等の記録媒体1と、可変利得器(VGA:Variable Gain Amplifier)2と、3次以下の次数で構成されたアナログフィルタであるローパスフィルタ(LPF:Low Pass Filter)3と、A/D変換器4と、自動利得制御器(AGC:Auto Gain Control)5と、所望のブースト値を参照して信号増幅する波形等化器(DEQ:Digital Equalizer)6と、ベースライン調整器7と、適応型トランスバーサルフィルタ(FIR:Finite Impulse Response)8と、最小自乗平均処理を行なうLMS (Least Mean Square) 10と、ビタビアルゴリズムを用いて誤り訂正を行なうビタビ復号器9と、チャンネルクロックに対応した再生クロックを抽出するためのクロック生成回路であるタイミングリカバリロジック(TRL:Timing Recovery Logic)11と、D/A変換器12と、電圧制御

発振器(VCO:Voltage Controlled Oscillator)13とを有している。

[0034] 次に、以上のように構成される信号処理装置における信号処理方法について説明する。

本実施の形態2による信号処理装置は、記録媒体に記録されているデジタル情報をPRML方式にて再生する。

[0035] 記録媒体1から読み出された信号は、その振幅が所望の大きさになるように可変利得器2、自動利得制御器5により自動的に調節され、アナログフィルタであるローパスフィルタ3により高域雑音除去を行い波形整形される。該高域雑音除去され、波形整形された信号は、A/D変換器4にて所望の垂直分解能(例えば、7ビット以下)にてデジタルデータ化される。

[0036] 時間軸方向のデータ最適化を行なうクロック抽出系では、変換されたデジタルデータは波形等化器6にて所望のブースト値を参照して増幅される。また、ベースライン調整器7は、入力された信号に対してどのくらい中心がずれているのかを検知し、ずれている値だけDEQ出力とA/D変換器出力とが補正される。この増幅及び補正されたデータがチャネルクロックに対応した再生クロックを抽出するためのクロック生成回路であるタイミングリカバリロジック11に入力される。クロック抽出を行なうタイミングリカバリロジック11はPLL回路を含んでおり、周波数誤差及び位相誤差を算出して周波数及び位相の調整を行ない、電圧制御発振器13への制御信号を生成する。電圧制御発振器13は、この制御信号に基づいて再生信号に同期した再生クロック(チャネルクロック)を出力する。また、もう一つのループであるデータ処理系統、即ち振幅方向のデータ最適化を行なうデータ処理系では、A/D変換出力値に対し、適応型トランスバーサルフィルタ8とLMS10とにより特定帯域の信号増幅を行い、波形等化された信号はビタビ復号器9によって誤り訂正が行なわれる。

[0037] このように、本実施の形態2によれば、時間軸方向のデータ最適化はデジタルイコライザ出力データを用いて行い、振幅方向のデータ最適化はA/D変換出力データを用いてFIRフィルタとLMSにて特定帯域の信号増幅を行うこととしたので、時間軸方向と振幅方向の両方を最適化することができ、これにより、ジッタ成分の低減と、エラー率の低減とを同時に行なうことができる。

[0038] (実施の形態3)

図3は、本発明の実施の形態3における信号処理装置を示すブロック図である。

[0039] 図3に示すように、本実施の形態3における信号処理装置は、光ディスクメディアや、磁気ディスクメディア、半導体メモリ等の記録媒体1と、可変利得器(VGA: Variable Gain Amplifier)2と、A/D変換器4と、自動利得制御器(AGC: Auto Gain Control)5と、所望のブースト値を参照して信号増幅する波形等化器(DEQ: Digital Equalizer)6と、ベースライン調整器7と、適応型トランスバーサルフィルタ(FIR: Finite Impulse Response)8と、最小自乗平均処理を行なうLMS(Least Mean Square)10と、ビタビアルゴリズムを用いて誤り訂正を行なうビタビ復号器9と、チャネルクロックに対応した再生クロックを抽出するためのクロック生成回路であるタイミングリカバリロジック(TRL: Timing Recovery Logic)11と、D/A変換器12と、電圧制御発振器(VCO: Voltage Controlled Oscillator)13とを有している。

[0040] 次に、以上のように構成される信号処理装置における信号処理方法について説明する。

本実施の形態3による信号処理装置は、記録媒体に記録されているデジタル情報をPRML方式にて再生する。

[0041] 記録媒体1から読み出された信号は、その振幅が所望の大きさになるように可変利得器2、自動利得制御器5により自動的に調節され、A/D変換器4にて7ビット以下の垂直分解能でデジタルデータ化される。

[0042] 時間軸方向のデータ最適化を行なうクロック抽出系では、変換されたデジタルデータは波形等化器6にて所望のブースト値を参照して信号増幅される。またベースライン調整器7は、入力された信号に対してどのくらい中心がずれているのかを検知し、ずれている値だけDEQ出力とA/D変換器出力とが補正される。この増幅及び補正されたデータがチャネルクロックに対応した再生クロックを抽出するためのクロック生成回路であるタイミングリカバリロジック11に入力される。クロック抽出を行なうタイミングリカバリロジック11はPLL回路を含んでおり、周波数誤差及び位相誤差を算出して周波数及び位相の調整を行ない、電圧制御発振器13への制御信号を生成する。電圧制御発振器13は、この制御信号に基づいて再生信号に同期した再生クロック(

チャネルクロック)を出力する。また、もう一つのループであるデータ処理系統、即ち振幅方向のデータ最適化を行なうデータ処理系では、A/D変換出力値に対し、適応型トランスバーサルフィルタ8とLMS10とにより特定帯域の信号増幅を行ない、波形等化された信号はビタビ復号器9によって誤り訂正が行なわれる。

[0043] このように、本実施の形態3によれば、時間軸方向のデータ最適化はデジタルイコライザ出力データを用いて行い、振幅方向のデータ最適化はA/D変換出力データを用いてFIRフィルタとLMSにて特定帯域の信号増幅を行うこととしたので、時間軸方向と振幅方向の両方を最適化することができ、これにより、ジッタ成分の低減と、エラー率の低減とを同時に行なうことができる。

[0044] また、A/D変換器4において低い垂直分解能でデジタルデータ化を行うこととしたので、高域雑音を除去するためのローパスフィルタ(LPF)を設ける必要がなく、回路規模の縮小を図ることが可能となる。

[0045] (実施の形態4)

図4は、本発明の実施の形態4における信号処理装置を示すブロック図である。

[0046] 図4に示すように、本実施の形態4における信号処理装置は、光ディスクメディアや、磁気ディスクメディア、半導体メモリ等の記録媒体1と、可変利得器(VGA: Variable Gain Amplifier)2と、3次以下の次数で構成されたアナログフィルタであるローパスフィルタ(LPF: Low Pass Filter)3と、A/D変換器4と、自動利得制御器(AGC: Auto Gain Control)5と、所望のブースト値を参照して信号増幅する波形等化器(DEQ: Digital Equalizer)6と、ベースライン調整器7と、適応型トランスバーサルフィルタ(FIR: Finite Impulse Response)8と、最小自乗平均処理を行なうLMS(Least Mean Square)10と、ビタビアルゴリズムを用いて誤り訂正を行なうビタビ復号器9と、チャネルクロックに対応した再生クロックを抽出するためのクロック生成回路であるタイミングリカバリロジック(TRL: Timing Recovery Logic)11と、D/A変換器12と、及び電圧制御発振器(VCO: Voltage Controlled Oscillator)13と、図示しないメモリ等に用意されるテーブルに格納されたタップ係数値を参照して波形等化器6のタップ係数を更新する調整器17とを有している。

[0047] 次に、以上のように構成される信号処理装置における信号処理方法について説明

する。本実施の形態4による信号処理装置は、記録媒体に記録されているデジタル情報をPRML方式にて再生する。

[0048] 記録媒体1から読み出された信号は、その振幅が所望の大きさになるように可変利得器2、自動利得制御器5により自動的に調節され、アナログフィルタであるローパスフィルタ3にて高域雑音除去を行ない波形整形される。高域雑音除去され、波形整形された信号は、A/D変換器4にて所望の垂直分解能(例えば、7ビット以下)にてデジタルデータ化される。

[0049] 時間軸方向のデータ最適化を行なうクロック抽出系では、変換されたデジタルデータは波形等化器6にて所望のブースト値を参照して信号増幅される。またベースライン調整器7は、入力された信号に対してどのくらい中心がずれているのかを検知し、ずれている値だけDEQ出力とA/D変換器出力とが補正される。この増幅及び補正されたデータがチャネルクロックに対応した再生クロックを抽出するためのクロック生成回路であるタイミングリカバリロジック11に入力される。また調整器17は、ベースライン調整器7にて補正されたDEQ出力に基づいてジッタ値を算出し、そのジッタ値が最小になるように波形等化器6のタップ係数を自動的に更新する。波形等化器6のタップ係数値はメモリなどにテーブルが用意されているので、それを参照する。また波形等化器6の出力値は増幅および補正されたデータを元にチャネルクロックに対応した再生クロックを抽出するためのクロック生成回路であるタイミングリカバリロジック11にも入っている。クロック抽出を行なうタイミングリカバリロジック11はPLL回路を含んでおり、周波数誤差及び位相誤差を算出して周波数及び位相の調整を行ない、電圧制御発振器13への制御信号を生成する。電圧制御発振器13は、この制御信号に基づいて再生信号に同期した再生クロック(チャネルクロック)を出力する。また、もう一つのループであるデータ処理系統、即ち振幅方向のデータ最適化を行なうデータ処理系では、A/D変換器出力値に対し、適応型トランスバーサルフィルタ8とLMS10とにより特定帯域の信号増幅を行ない、波形等化された信号はビタビ復号器9によって誤り訂正が行なわれる。

[0050] このように、本実施の形態4では、時間軸方向のデータ最適化はデジタルイコライザ出力データを用いて行い、振幅方向のデータ最適化はA/D変換器出力データを

用いてFIRフィルタとLMSにて特定帯域の信号増幅を行うこととしたので、時間軸方向と振幅方向の両方を最適化することができ、これにより、ジッタ成分の低減と、エラー率の低減とを同時に行なうことができる。

- [0051] また、調整器17により、ベースライン調整器7にて補正されたDEQ出力に基づいてジッタ値を算出し、そのジッタ値が最小になるように波形等化器6のタップ係数を自動的に更新することとしたので、ジッタ成分を低減してチャネルクロックを正確に抽出することができる。

産業上の利用可能性

- [0052] 本発明に係る信号処理装置、及び信号処理方法は、ジッタ成分の低減と、エラー率の低減とを同時に行なうことができるので、例えばDVDの再生装置等として有用である。また磁気記録装置や半導体メモリ等の用途にも応用できる。

請求の範囲

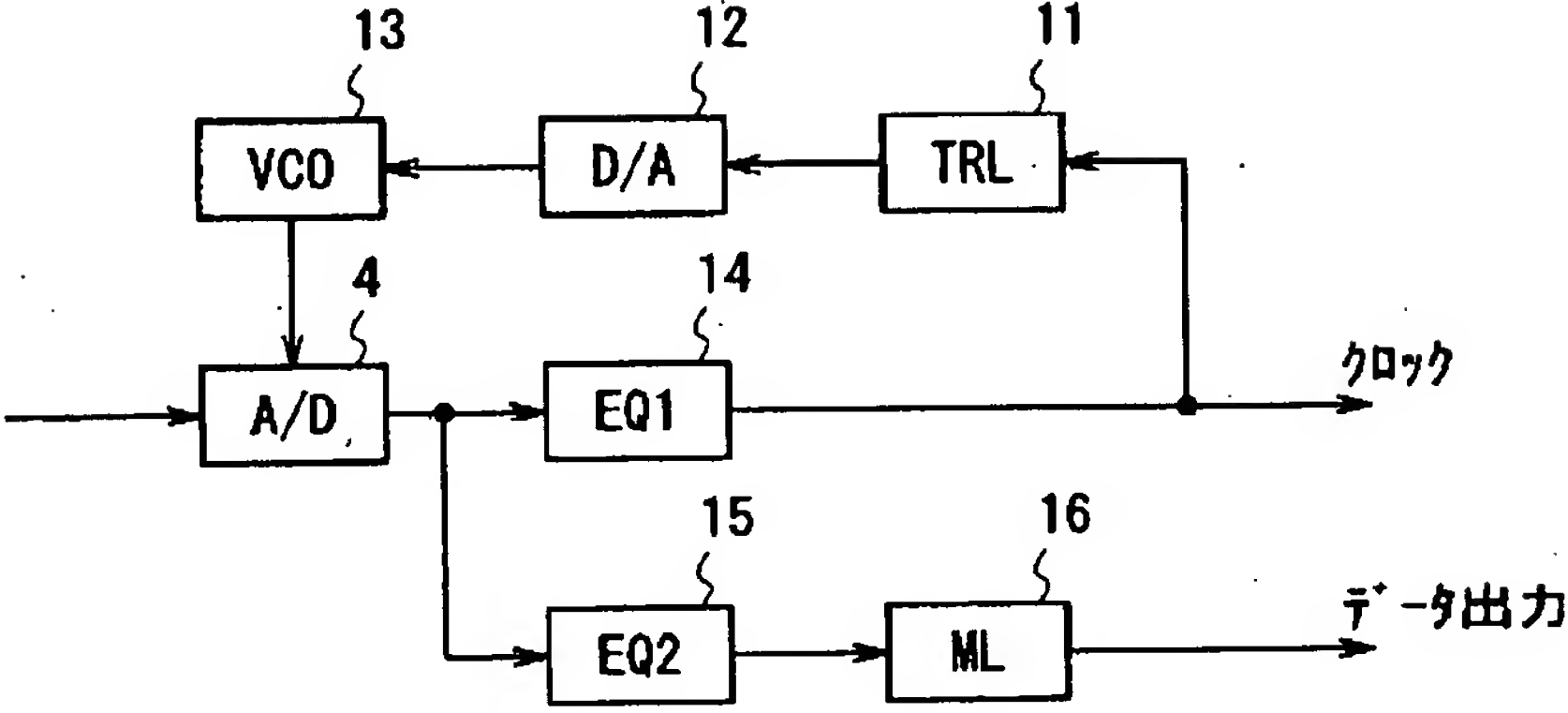
- [1] PRML (Partial Response Maximum Likelihood) 方式を用いて信号を処理する信号処理装置において、
- アナログ信号をデジタル信号に変換するA/D変換器と、
 - 前記A/D変換器に接続され、信号の特定帯域を増幅しクロック抽出系のデータの最適化を行なう第1の波形等化器と、
 - 前記A/D変換器に接続され、信号の特定帯域を増幅するとともに、波形等化を行ないデータ処理系のデータの最適化を行なう第2の波形等化器と、
 - 前記第1の波形等化器に接続された、再生クロックを抽出するタイミングリカバリロジック回路と、
 - 前記第2の波形等化器に接続され、データを復号する復号器とを備える、
 - ことを特徴とする信号処理装置。
- [2] 記録媒体から読み出された信号の振幅が所望の大きさになるように自動調節する可変利得器と、
- 前記可変利得器に接続され、特定帯域の信号を除去するフィルタ回路と、
 - 前記フィルタ回路に接続され、アナログ信号をデジタル信号に変換するA/D変換器と、
 - 前記A/D変換器に接続され、再生信号の波形等化を行なうとともに、特定帯域の信号を増幅する適応型トランスバーサルフィルタと、
 - 前記A/D変換器に接続される自動利得制御器と、
 - 前記A/D変換器に接続され、波形等化を行なう波形等化器と、
 - 前記波形等化器に接続され、ベースライン制御を行なう制御回路と、
 - 前記適応型トランスバーサルフィルタに接続され、LMS (Least Mean Square) アルゴリズムを用いて誤差検出及び補正を行なう検出回路と、
 - 前記適応型トランスバーサルフィルタに接続され、最尤復号を行なう復号器と、
 - 前記制御回路に接続され、再生クロックを抽出するタイミングリカバリロジック回路とを備える、
 - ことを特徴とする信号処理装置。

- [3] 記録媒体から読み出された信号の振幅が所望の大きさになるように自動調節する可変利得器と、
前記可変利得器に接続され、アナログ信号をデジタル信号に変換するA/D変換器と、
前記A/D変換器に接続され、再生信号の波形等化を行なうとともに特定帯域の信号を増幅する適応型トランスバーサルフィルタと、
前記A/D変換器に接続される自動利得制御器と、
前記A/D変換器に接続され、波形等化を行なう波形等化器と、
前記波形等化器に接続され、ベースライン制御を行なう制御回路と、
前記適応型トランスバーサルフィルタに接続され、LMS (Least Mean Square) アルゴリズムを用いて誤差検出及び補正を行なう検出回路と、
前記適応型トランスバーサルフィルタに接続され、最尤復号を行なう復号器と、
前記制御回路に接続され、再生クロックを抽出するタイミングリカバリロジック回路とを備える、
ことを特徴とする信号処理装置。
- [4] 請求項2に記載の信号処理装置において、
前記フィルタ回路は、3次以下の次数で構成されたローパスフィルタである、
ことを特徴とする。
- [5] 請求項1ないし3のいずれかに記載の信号処理装置において、
前記波形等化器は、構成するフィルタのタップ係数値が可変で、その増幅度を自由に細かく設定可能なものである、
ことを特徴とする。
- [6] 請求項1に記載の信号処理装置において、
前記第1の波形等化器及び第2の波形等化器は、入力信号に対して等化係数に応じたフィルタ処理を行なう適応型トランスバーサルフィルタで構成される、
ことを特徴とする。
- [7] 請求項1ないし3のいずれかに記載の信号処理装置において、
前記A/D変換器の垂直分解能は、7ビット以下である、

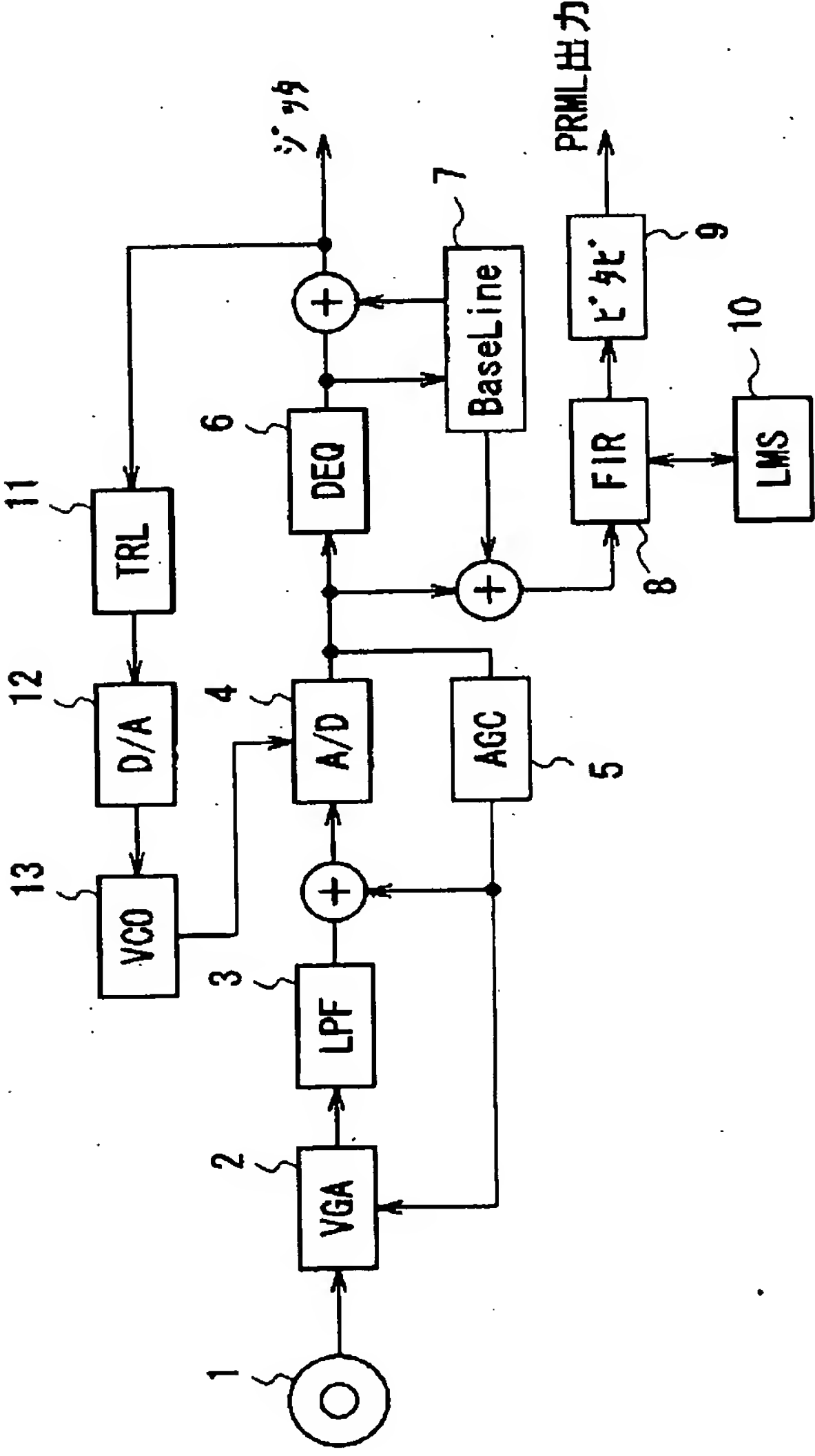
ことを特徴とする。

- [8] 請求項1ないし3のいずれかに記載の信号処理装置において、
前記復号器は、ビタビアルゴリズムを用いた復号回路である、
ことを特徴とする。
- [9] 請求項3に記載の信号処理装置において、
前記ベースライン制御回路により補正された前記波形等化器の出力に基づいてジッタ値を算出し、前記算出されたジッタ値に基づいて、前記波形等化器の増幅度合を自動的に調整する調整回路を備える、
ことを特徴とする。
- [10] 請求項2または3のいずれかに記載の信号処理装置において、
前記記録媒体は、光ディスクメディアである、
ことを特徴とする。
- [11] 請求項2または3のいずれかに記載の信号処理装置において、
前記記録媒体は、磁気ディスクメディアである、
ことを特徴とする。
- [12] 請求項2または3のいずれかに記載の信号処理装置において、
前記記録媒体は、半導体メモリである、
ことを特徴とする。
- [13] PRML (Partial Response Maximum Likelihood) 方式を用いて信号を処理する信号処理方法において、
上記信号に対する時間軸方向のデータ最適化と、上記信号に対する振幅方向のデータ最適化を、それぞれ異なる波形等化器を用いて行なう、
ことを特徴とする信号処理方法。

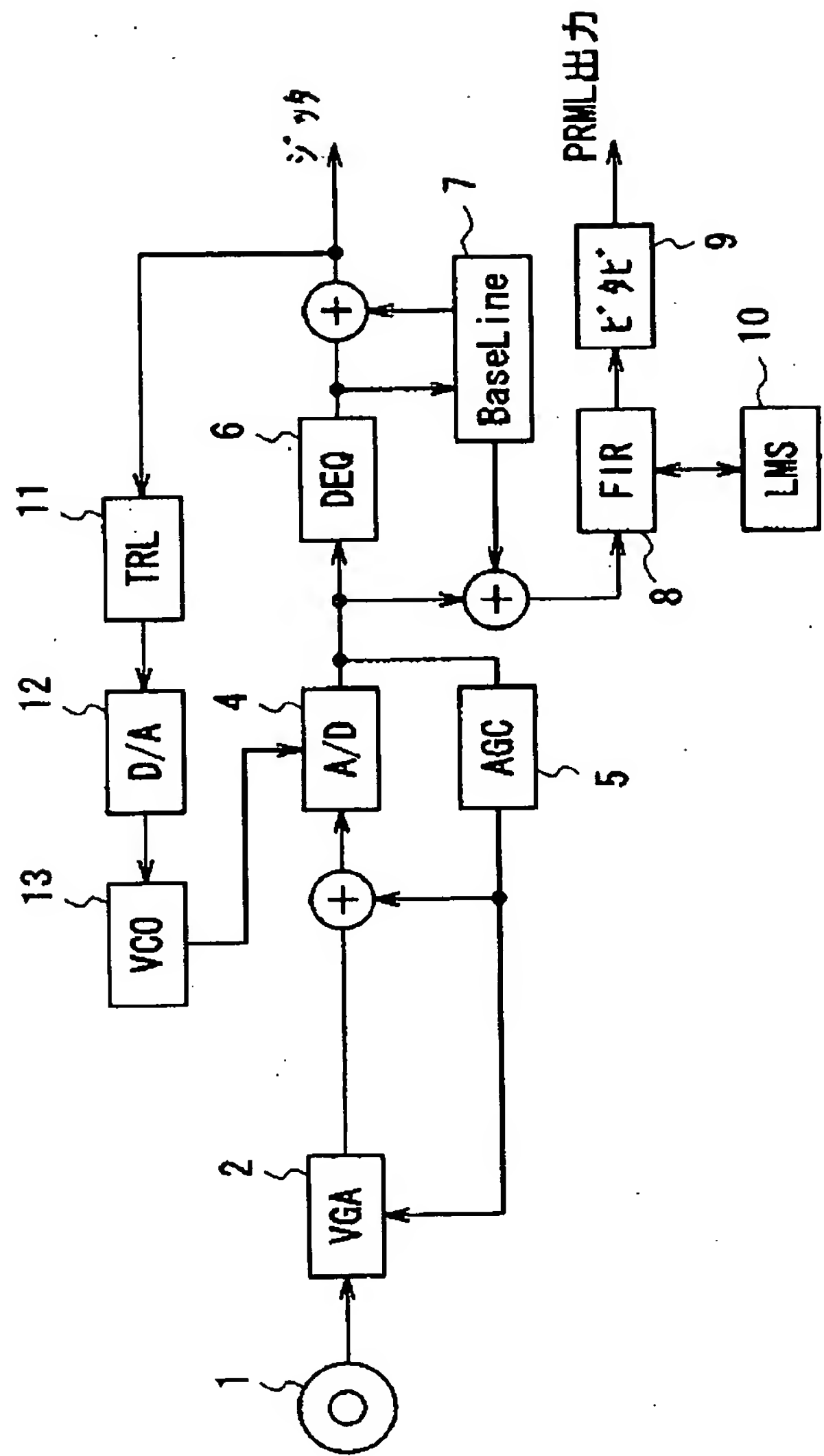
[図1]



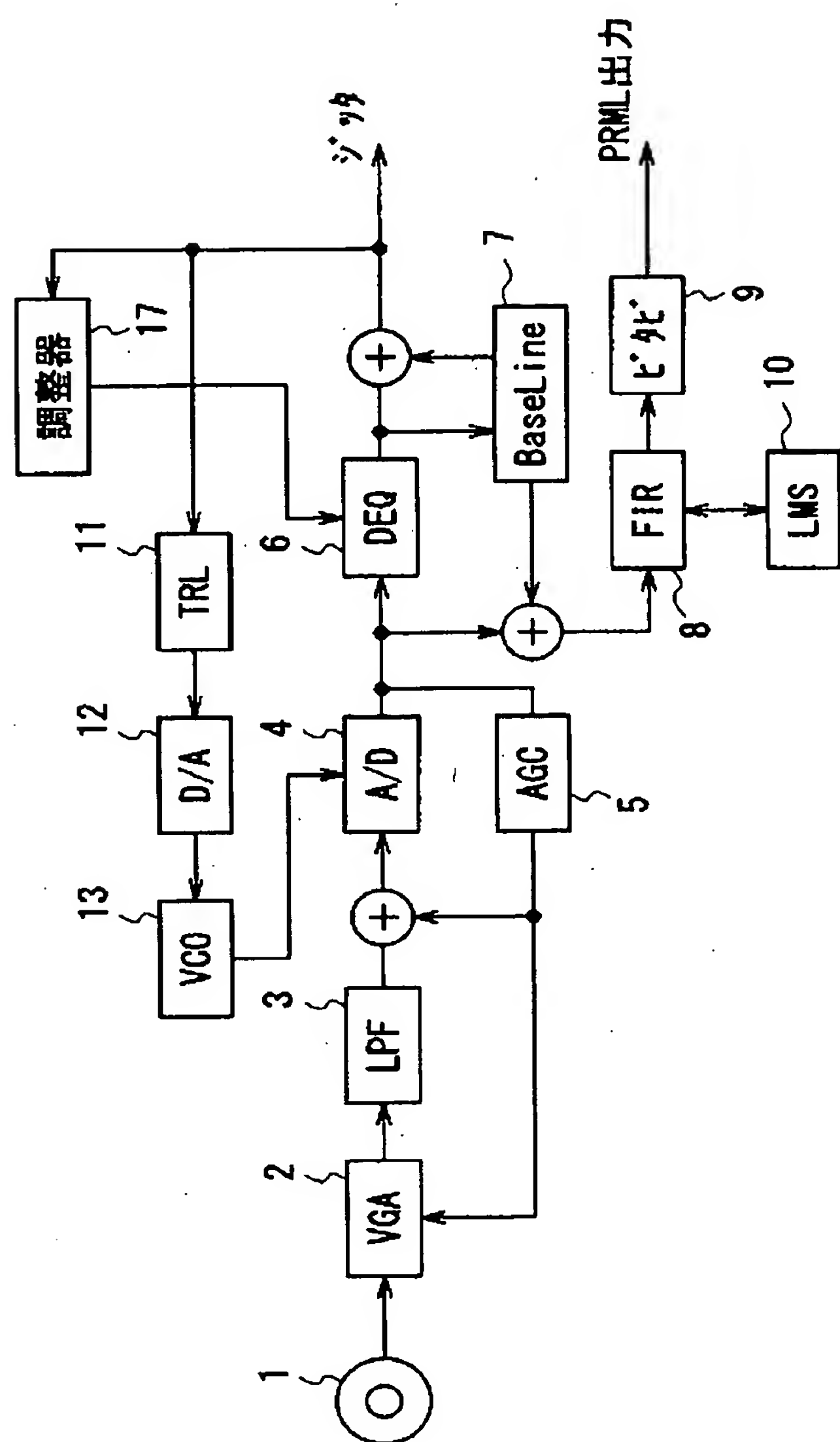
[図2]



[図3]



[図4]



[図5]

